

#2 Priority  
Papers  
Gmw 3-22-01

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant(s): KIM, Gang-Ho  
Application No.: Group:  
Filed: February 12, 2001 Examiner:  
For: ERROR CONTROL APPARATUS AND METHOD FOR CHANNEL EQUALIZER

L E T T E R

Assistant Commissioner for Patents February 12, 2001  
Box Patent Application 0630-1238P  
Washington, D.C. 20231

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
REPUBLIC OF KOREA	2000/6665	02/12/00

A certified copy of the above-noted application(s) is(are) attached hereto. Also enclosed are the verified English translation(s) of the above-noted priority application(s).

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By:   
JOSEPH A. KOLASCH

Reg. No. 22,463  
P. O. Box 747  
Falls Church, Virginia 22040-0747

Attachment  
(703) 205-8000  
/pf

09730330-021201

KIM, Gang-Ho  
2-12-01  
BSKB  
(703) 205-8000  
0630-1238P  
1 of 1



JCE21 U.S. PTO  
09/760380  
02/13/01

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원 번호 : 특허출원 2000년 제 6665 호  
Application Number

출원 년 월 일 : 2000년 02월 12일  
Date of Application

CERTIFIED COPY OF  
PRIORITY DOCUMENT

출원인 : 엘지전자 주식회사  
Applicant(s)



2000 년 09 월 19 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.02.12
【국제특허분류】	H04N 5/00
【발명의 명칭】	채널 등화기
【발명의 영문명칭】	CHANNEL EQUALIZER
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-1998-000275-8
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	1999-001894-1
【발명자】	
【성명의 국문표기】	김강호
【성명의 영문표기】	KIM, Gang Ho
【주민등록번호】	630704-1029719
【우편번호】	139-200
【주소】	서울특별시 노원구 상계동 주공아파트 401동 304호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박장원 (인)
【수수료】	
【기본출원료】	12 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	1 항 141,000 원
【합계】	170,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

## 【요약서】

## 【요약】

본 발명은 채널 등화기에 관한 것으로, 종래의 sato 에러와 DD 에러에 의해 수렴 특성을 좋게 하는 G-pseudo 채널 등화기는 대부분의 채널 환경에서는 잘 수렴하지만 DD에러 크기 계산부의 복잡도가 높고, 특히 sato 에러에 DD 에러의 절대값을 곱하는 두 번째 구간( $|e_k|e_k^s$ )의 경우 이 절대값( $|e_k|$ )은 복잡도에서는 실수에러를 제공한 값과 허수에러를 제공한 값을 더한 후에 제곱근을 취해야 하므로( $\sqrt{e_i^2 + e_o^2}$ ), 이를 하드웨어적으로 구현할 경우 많은 게이트수(complexity)가 필요하게 되어 크기가 커지고 복잡해질 뿐만 아니라, 제곱근을 취한 값을 구하는데 많은 시간이 소요되어 수신기 전체의 성능이 저하되는 문제점이 있었다. 따라서, 본 발명은 DD 에러의 크기를 실수부와 허수부에 대해 각각 절대값을 취해 합산하도록 구성하여 G-pseudo 채널 등화기의 성능은 그대로 유지하면서 DD 에러 크기 계산부의 구조를 변형시켜 게이트수를 감소시킴으로써 에러 갱신 속도를 개선하여 수신기의 전체적인 성능을 향상시키는 효과가 있다.

## 【대표도】

도 4

**【명세서】****【발명의 명칭】**

채널 등화기{CHANNEL EQUALIZER}

**【도면의 간단한 설명】**

도1은 종래 복합 G-pseudo 채널 등화기의 구성을 보인 블록도.

도2는 sato 에러와 DD 에러의 특성을 비교한 그래프도.

도3은 종래와 본 발명에 의해 구한 DD 에러의 절대값에 의한 에러 분포를 비교한 예시도.

도4는 본 발명에 의한 G-pseudo 채널 등화기의 구성을 보인 블록도.

\*\*\*도면의 주요 부분에 대한 부호의 설명\*\*\*

100 : DD 에러 크기 계산부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <7> 본 발명은 디지털 채널 등화 기술에 관한 것으로, 특히 복합 G-pseudo 채널 등화기에 있어서 복잡도와 에러 갱신 속도를 향상시키기 위한 채널 등화기에 관한 것이다.
- <8> 일반적으로 채널 등화기는 고화질 티브이와 같은 디지털 전송 시스템에서 송신 신호가 다중 경로를 통과하면서 발생하는 왜곡을 보상함으로써 비트 검출 오류를 감소시키는 역할을 수행한다.
- <9> 특히, 왜곡된 신호에 잡음이 더해지면 송신된 신호를 정확히 복원하기가 어려워지고, 신

호 레벨이 증가할수록 에러가 발생할 확률은 점점 높아지기 때문에 이러한 신호 왜곡을 보상하여 에러가 발생할 확률을 줄이기 위하여 수신단에서는 채널 등화기를 사용한다.

<10> 이와 같은 채널 등화기가 왜곡된 신호를 보상하는 과정은 크게 두가지 단계로 나눌 수 있는데, 왜곡된 신호를 보상할 수 있는 적절한 상태까지 에러를 줄여주는 획득(acquisition)단계와; 일단 적절한 상태에 도달한 후 채널의 변화에 잘 대응할 수 있는 트래킹(tracking) 단계로 나눌 수 있다.

<11> 그런데, 신호 왜곡이 심해서 송신단에서 보낸 신호가 수신단에서 많이 변형된 경우에는 등화기가 제대로 수렴을 못하고 발산하는 경우가 발생하게 되는데, 이를 방지하기 위한 방법으로는 송신하는 신호 사이사이에 송/수신단에서 미리 약속한 훈련열 신호를 보냄으로써 이런 문제를 해결할 수 있다.

<12> 그러나, 이 훈련열은 실제로 필요한 신호가 아니기 때문에 대역폭의 손실이 필연적으로 수반되고, 또한 송신단에 이 훈련열을 발생시키기 위한 부분이 필요하므로 복잡도(complexity)가 증가하게 된다.

<13> 그래서, 훈련열을 보내지 않고도 수렴 특성을 좋게 할 수 있는 블라인드(Blind) 등화기가 나오게 되었고, 대표적인 것으로 G-pseudo 채널 등화기가 있다.

<14> 도1은 복합 G-pseudo 채널 등화기의 구성을 보인 블록도로서, 그 계수 갱신식과 필터 출력식은 다음 수학식 1과 같다.

<15> 【수학식 1】

$$C_{k+1} = C_k + \mu D_k^* e_k^G$$

<16>  $Y(n) = \Sigma D^T C$

<17>  $e_k^G = k_1 e_k + k_2 |e_k| e_k^S$

<18> 여기서,  $C_{k+1}$ 는 다음 시간의 등화기의 필터탭의 계수,

<19>  $C_k$ 는 현재시간의 등화기의 필터탭의 계수,

<20>  $\mu$ 는 스텝 크기,

<21>  $D_k$ 는 현재시간의 필터탭에 저장된 데이터,

<22>  $e_k^G$ 는 현재시간의 G-pseudo 에러,

<23>  $e_k^S$ 는 현재시간의 sato 에러,

<24>  $e_k$ 는 현재시간의 결정(decision-directed)에러,

<25>  $k_1, k_2$ 는 스케일 상수이다.

<26> 이때, 훈련 신호열이 없이 등화기를 DD(Decision Directed)에러에 의해서만 갱신하는 경우에는 등화기가 발산하기 쉽기 때문에 sato 에러를 같이 이용하여 등화기를 수렴시켜야 하고, 또한 sato 에러만을 이용하는 경우에는 최종 수렴 후에도 잔류 에러가 많이 남아 있게 되어, 어느 정도 수렴한 시점에서 DD에러로 등화기가 수렴할 수 있도록 바꾸어 주어야 하는데 그 시점을 선택하기가 쉽지 않았다.

<27> 여기서, sato 에러란 훈련신호가 함께 전송되지 않을 때 평균 전력에 의해 검출된 에러로 sato 슬라이서(3)에 의해 결정된 값에서 등화기 필터 출력을 감산하여 그 차이에 의해 생성하고, DD 에러란 등화기 필터(1)의 출력을 DD 슬라이스(2)에 입력받아 가장 근사한 값으로 결정된 데이터 심볼에서 필터 출력에 의한 값의 차이에 의해 생성된 것이다.

<28> 따라서, G-pseudo 등화 방법에서는 상기와 같은 문제점을 해결하기 위해서 sato 에러와

DD 에러를 모두 사용하면서 실험을 통해 적당한 스케일 상수( $k_1, k_2$ )값을 찾아 곱해줌으로써 자동적으로 sato 에러 모드와 DD 에러 모드의 변환이 가능하게 되었다.

- <29> 그런데, 상기와 같은 방법은 대부분의 채널 환경에서는 잘 수렴하지만 DD에러 크기 계산부(7)의 복잡도가 높고, 특히 sato 에러에 DD 에러의 절대값을 곱하는 두 번째 구간( $|e_k|e_k^S$ )의 경우 이 절대값( $|e_k|$ )은 복잡도에서는 실수(real)에러를 제공한 값과 허수(imaginary)에러를 제공한 값을 더한 후에 제곱근(square root)을 취해야 하므로( $\sqrt{e_i^2 + e_o^2}$ ), 이를 하드웨어적으로 구현할 경우 많은 게이트수(complexity)가 필요하게 되어 크기가 커지고 복잡해질 뿐만 아니라, 제곱근을 취한 값을 구하는데 많은 시간이 소요되어 수신기 전체의 성능이 저하되는 문제점이 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

- <30> 따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위하여 창출한 것으로, 복합 G-pseudo 채널 등화기의 성능은 그대로 유지하면서 DD에러 크기 계산부의 구조를 변형시켜 게이트수를 감소시킴으로써 에러 갱신 속도를 개선하여 수신기의 전체적인 성능을 향상시키기 위한 채널 등화기를 제공함에 그 목적이 있다.

#### 【발명의 구성 및 작용】

- <31> 이와 같은 목적을 달성하기 위한 본 발명은, DD(decision directed) 슬라이서에 의해 계산된 DD 에러와 sato 슬라이서에 의해 계산된 sato 에러에 각각의 스케일 상수를 곱하고, 상기 DD 에러의 크기를 상기 스케일 상수가 곱해진 sato 에러에 곱하여 스케일 상수가 곱해진 DD 에러를 더해 구하여진 G-pseudo 에러에 의해 필터탭 계수를 생성하는 G-pseudo 채널 등화기에 있어서, 상기 DD 에러의 크기는 실수부와 허수부에 대해 각각



절대값을 취해 합산하도록 구성한 것을 특징으로 한다.

<32> 이하, 본 발명에 따른 일실시예를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

<33> 송신단에서 보내는 신호(a)가 채널(s)을 통과해 채널 등화기에 입력된다면 등화기가 할 일은  $s^{-1}$ 이라는 채널(s)의 역 응답을 만들어 등화기의 출력단에서 'ass $^{-1}$ =a'의 원래 전송된 신호(a)를 재생해 내는 것이다.

<34> 복합 G-pseudo 채널 등화기가  $s^{-1}$ 의 최적값을 찾아가는 과정은 다음과 같다.

<35> 등화기가 초기상태에 있을 때는 즉,  $s^{-1}$ 의 값으로부터 멀리 떨어져 있을 때는 도2에서 알 수 있듯이 DD(Decision directed)에러는 거의 화이트한 즉, 균등한 에러값을 갖는다.

<36> 따라서, 이 구간 동안에는 sato 에러가 주로 G-pseudo 에러를 줄여 준다.

<37> 그러나, 등화기가  $s^{-1}$ 의 최적값에 가까워질수록 즉, 그래프의  $t_1$  지점을 지나면서부터는 sato 에러값은 거의 균등해지고 DD 에러값이 G-pseudo 에러값을 줄여준다.

<38> 그러나, sato 에러는 최적의 지점까지 수렴한 이후에도 상당량의 에러값을 가지고 있게 되는데, 이것이 블라인드 방법의 한계이다.

<39> 따라서, 단순히 DD 에러와 sato 에러를 더해준 식을 G-pseudo 에러값으로 사용한다면 DD 에러값이 거의 0의 값을 갖게 되더라도 G-pseudo 에러값은 sato 에러값 만큼의 에러값을 갖게 될 것이다.

<40> 그래서, sato 에러값에 DD 에러값의 절대값을 곱해주면  $t_1$  이전 구간에서는 이 값은 거의 일정한 값을 가지므로 sato 에러의 수렴 특성에 거의 영향을 주지 않으며  $t_1$  이후 구간에서는 이 값이 거의 0으로 수렴하므로 G-pseudo 에러 갱신식에서 sato 에러에 DD 에

러의 절대값을 곱하는 두 번째 과정을 거의 0으로 수렴하게 하여 DD 에러값만을 가지고 최적값을 찾는 것과 거의 같은 성능을 갖게 한다.

<41> 또한, 에러 갱신식의  $k_1, k_2$ 는 sato 에러는 항상 어느 정도는 큰 값을 갖기 때문에 t1 이후의 구간에서 sato 에러가 에러 변동값은 작더라도 에러 자체의 크기가 DD 에러보다 커서 에러 갱신이 sato 에러에 의해서 좌우되는 경우가 발생할수 있으므로 이  $k_1, k_2$ 를 이용하여 G-pseudo 에러 갱신식의 첫 번째 구간과 두 번째 구간의 크기를 비슷하게 조절해 주는데, 정확하게 정해져 있는 값은 없고, 실험을 통해서 찾아야 하는데, 보통은  $k_1$ 값을  $k_2$ 값의 3~4배 큰 값으로 설정한다.

<42> 그런데, G-pseudo 채널 등화기의 에러 갱신 수식에서 DD에러의 절대값의 역할을 살펴보면 도3의 (B)에 도시된 바와 같이 정확한 DD 에러값을 갖지 않아도 됨을 알 수 있다.

<43> 즉, 크기는 DD에러의 절대값과 똑같지 않더라도 DD에러 절대값이 균등한 값을 가질 때 역시 균등한 값을 갖고, 이 값이 크거나 작아질 때 선형적으로 비례관계에 있는 값이라면  $k_1, k_2$ 값을 조절하여 DD에러 절대값을 쓰는 것과 똑같은 효과가 있는 것을 알 수 있다.

<44> 도3은 상기 두 경우에 대한 에러값의 분포를 보인 예시도로서, DD에러의 절대값은 (A)에 도시된 바와 같이 어느 지점에서나 항상 같은 값을 갖지만, 실수부와 허수부 각각의 절대값을 취한 후 두 값을 더할 경우는 (B)에 도시된 바와 같이 위치에 따라 조금씩 다른 에러값을 갖고 대부분의 에러값이 (A)의 경우보다 약간 크지만 선형적으로 비례 관계에 있음을 알 수 있다.

<45> 따라서, 도4와 같이 DD 에러의 크기 계산부(7)를 실수에러와 허수에러 각각의 절대값을 취한 후 두 값을 더해주는( $|e_{rl}|+|e_{el}|$ ) 구성으로 대체할 수 있다.

<46> 이런 경우 똑같은 수렴 특성을 얻으면서도 동작 시간이나 복잡도면에서 더 좋은 특성을 가진 채널 등화기를 구현할 수 있다.

<47> 예를 들어, 실수예러와 허수예러를 각각 10비트라고 가정하고, 복합예러의 절대값을 취하는 경우 이 블록의 게이트 수가 4960개인 반면에 실수예러의 절대값과 허수예러의 절대값을 취한 후 두 개를 더한 블록은 단지 292개의 게이트만으로 구현이 가능하며 수렴 특성이나 수렴 후 잔류 에러 특성에서도 별다른 차이점이 없다.

#### 【발명의 효과】

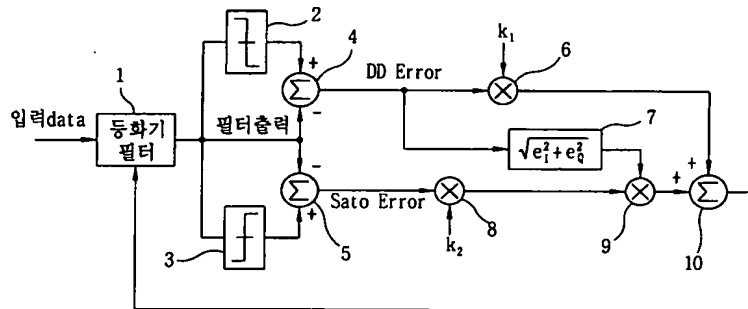
<48> 이상에서 설명한 바와 같이 본 발명 채널 등화기는 복합 G-pseudo 채널 등화기의 성능은 그대로 유지하면서 DD에러 크기 계산부의 구조를 변형시켜 게이트수를 감소시킴으로써 에러 갱신 속도를 개선하여 수신기의 전체적인 성능을 향상시키는 효과가 있다.

**【특허청구범위】****【청구항 1】**

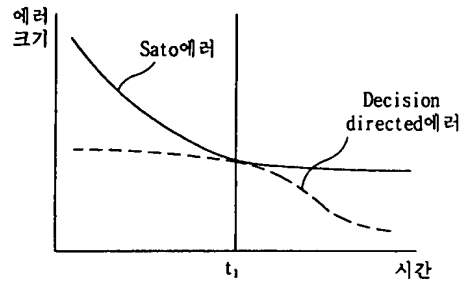
DD(decision directed) 슬라이서에 의해 계산된 DD 에러와 sato 슬라이서에 의해 계산된 sato 에러에 각각의 스케일 상수를 곱하고, 상기 DD 에러의 크기를 상기 스케일 상수가 곱해진 sato 에러에 곱하여 스케일 상수가 곱해진 DD 에러를 더해 구하여진 G-pseudo 에러에 의해 필터탭 계수를 생성하는 G-pseudo 채널 등화기에 있어서, 상기 DD 에러의 크기는 실수부와 허수부에 대해 각각 절대값을 취해 합산하도록 구성한 것을 특징으로 하는 채널 등화기.

【도면】

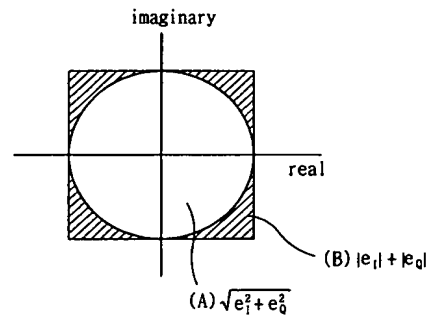
【도 1】



【도 2】



【도 3】



【도 4】

